

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003 年 1 月 23 日 (23.01.2003)

PCT

(10) 国際公開番号  
WO 03/007155 A1

(51) 国際特許分類<sup>7</sup>: G06F 12/08, 15/16, 15/78

150-0021 東京都 渋谷区 恵比寿西一丁目 1 6 番 6 号  
Tokyo (JP).

(21) 国際出願番号: PCT/JP02/07076

(22) 国際出願日: 2002 年 7 月 11 日 (11.07.2002)

(72) 発明者; および

(25) 国際出願の言語: 日本語

(75) 発明者/出願人 (米国についてののみ): 池田 顕士  
(IKEDA, Kenji) [JP/JP]; 〒142-0061 東京都 品川区 小山台 1 丁目 1 2 番 1 2 号 サニーホーム B 号室 Tokyo  
(JP).

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2001-212545 2001 年 7 月 12 日 (12.07.2001) JP

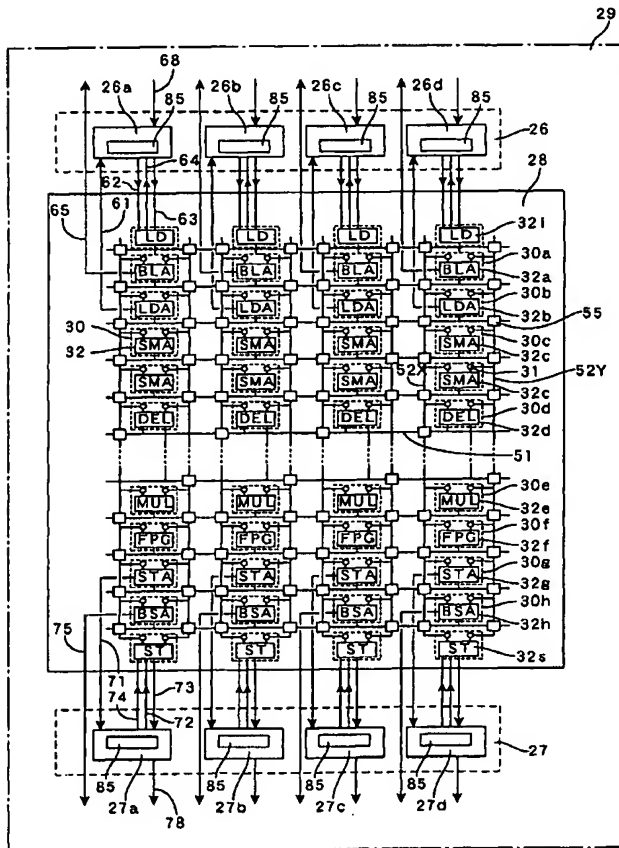
(74) 代理人: 今井 彰 (IMAI, Akira); 〒390-0811 長野県 松本市 中央 1 丁目 4 番 2 0 号 日本生命松本駅前ビル  
8 階 Nagano (JP).

(71) 出願人 (米国を除く全ての指定国について): アイ  
ビーフレックス株式会社 (IP FLEX INC.) [JP/JP]; 〒

[続葉有]

(54) Title: INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 集積回路装置



(57) Abstract: An integrated circuit device having a first memory to/from which data can be input and/or output from/to a second memory and a processing unit capable of modifying a data flow at least partially. In the processing unit, there are provided a data processing section for processing data input and/or output from/to the first memory, a first address output section for outputting a first address of the data input and/or output between the first memory and the data processing section, and a second address output section for outputting a second address of the data input and/or output between the second memory and the first memory. By modifying a data flow or constituting a circuit for controlling a memory by a part of the reconfigurable processing unit, it is possible to constitute a cache memory system on an integrated circuit device optimal for processing executed on the integrated circuit device.

[続葉有]

WO 03/007155 A1



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

第2のメモリとの間でデータを入力および／または出力可能な第1のメモリと、データフローの少なくとも1部を変更可能な処理ユニットとを有する集積回路装置において、処理ユニットに、第1のメモリとの間で入力および／または出力されるデータを処理するデータ処理区画に加え、第1のメモリとデータ処理区画との間で入力および／または出力されるデータの第1のアドレスを出力する第1のアドレス出力区画と、第2のメモリと第1のメモリとの間で入力および／または出力されるデータの第2のアドレスを出力する第2のアドレス出力区画とを設ける。データフローを変更または再構成可能な処理ユニットの一部によりメモリを制御する回路を構成することにより、集積回路装置で実行する処理に最も適したキャッシュメモリシステムを集積回路装置に構成できる。

## 明 細 書

## 集積回路装置

## 5 技術分野

本発明は、データフローを再構成可能な集積回路装置に関するものである。

## 背景技術

RAM、ROMあるいは磁気ディスクなどのメモリに格納されたデータあるいは命令（以降においては、特に命令とデータを区別する必要がないときはデータと称する）をCPUなどで処理する場合、キャッシュあるいはキャッシュメモリと呼ばれる比較的小容量ではあるが高速なメモリを用い、データの時間的局所性あるいは空間的局所性を利用してデータへのアクセス速度を向上するようにしている。したがって、プロセッサあるいはプロセッサコアを搭載した、VLSI、システムLSIあるいはシステムASICなどと称される集積回路装置において、  
10 は、キャッシュメモリとそれを制御するMMUなどの回路を備えたキャッシュシステムが搭載されている。

キャッシュメモリを利用する場合は、MMU（Memory Management Unit）およびTLB（Translation Look-aside Buffer）を用いて、CPUコアから出力される  
20 仮想あるいは論理アドレスに対応したデータがキャッシュメモリにあれば、CPUコアに対してはキャッシュメモリのデータが入出力される。キャッシュメモリにデータがない場合は、MMUおよびTLBによって仮想アドレスが物理アドレスに変換されて外部のメモリに対して入出力が発生し、キャッシュメモリのデータも更新される。したがって、MMUなどを備えたキャッシュ制御機構により、  
25 CPUコアで動作するソフトウェアに対しては、キャッシュメモリは透過的な存在となるように構成されている。このため、ソフトウェアはハードウェアに依存しない仮想アドレスに基づき動作するように開発すれば良く、開発および設計にかかる時間およびコストを低減することができる。また、同一のソフトウェアを、異なるハードウェアでも稼働させることができ、ソフトウェア資産を有効に利用

できる。

CPUコアから出力された仮想アドレスのデータがキャッシュメモリに存在しない、すなわち、キャッシュメモリにヒットしないときは外部メモリに対して入出力処理が発生する。したがって、キャッシュメモリヒット率が少ない場合は、

5 キャッシュメモリは単にオーバヘッドになるだけであり、プログラムの実行時間に悪影響を及ぼす。このため、ヒット率を改善するために、命令キャッシュとデータキャッシュを分離したり、キャッシュを多階層化したり、機械的にあるいはソフトウェア的にプリフェッチするなどの技術が検討されている。

しかしながら、命令キャッシュとデータキャッシュを分離する場合は、1つの

10 ブロックに命令とデータが同時に存在すると、その取り扱いが難しくなる。たとえば、命令を書き換える処理があるとソフトウェアの処理に支障をきたす可能性がある。さらに、命令とデータへのアクセスが均等でないソフトウェアでは、単にキャッシュを分離しても効率は向上しない。たとえば、データへのアクセスが離散的であれば、データキャッシュの利用効率が低くなり、オーバヘッドになっ

15 てしまう可能性もある。

多階層キャッシュは、キャッシュと外部メモリとのアクセス時間や記憶容量の差が大きい場合は有効である。しかしながら、多階層化することによりメモリにアクセスする回数は必然的に増加するので、ソフトウェアの構成や、処理するデータの入出力メディアなどの条件によってはオーバヘッドになる可能性は常に

20 ある。

プリフェッチした場合でも、分岐などのときのペナルティーを解消することはできない。数値計算プログラムにおいて配列要素の参照が多く、アクセスする要素が予め予想できるソフトウェアであると、プリフェッチ命令を用いてキャッシュのペナルティーは減少できるが、プリフェッチ命令を実行するためにCPU

25 の時間を費やすことになり、効果的に利用できるソフトウェアは限定される。

上述したように、いずれの技術も、CPUで実行するソフトウェアと、データが格納されているメディアなどの条件がキャッシュメモリの方式と合致する場合は、キャッシュメモリのヒット率を向上することは可能である。しかしながら、キャッシュメモリは外部メモリとの間に中間的に配置されるハードウェアである

- ために、実行されるソフトウェアの処理内容や、そのソフトウェアの処理対象となるデータが格納されたハードウェアの環境などが異なると、予定しているキャッシュ効率が得られなかったり、逆にオーバヘッドになり、プロセッサの実行時間を低下させる要因となる。特定のアプリケーションに特化したプロセッサ
- 5   であれば最適なキャッシュメモリシステムを採用できるかもしれない。しかしながら、ある程度の汎用性を目指したプロセッサであると、キャッシュメモリを活かすためには、それほど効果的ではないとしても、オーバヘッドになることの少ないキャッシュメモリシステムを導入することになる。したがって、キャッシュメモリシステムがあってもそれほど性能が向上しないということになる。
- 10   そこで、本発明においては、プロセッサで実行されるソフトウェアの処理内容やハードウェア環境に対応して、キャッシュとして最も効率良く利用することができるメモリを有する集積回路装置を提供することを目的としている。また、メモリを、キャッシュとして最も効率良く利用することができる制御機能を備えた集積回路装置を提供することを目的としている。そして、様々なソフトウェアを
- 15   さらに効率良く実行することができる集積回路装置を提供することを目的としている。

#### 発明の開示

- 近年、データパスの構成またはデータフローの少なくとも1部を変更可能な処理ユニットが登場している。FPGA (Field Programmable Gate Array) は、単
- 20   一な構成で論理を変更可能な論理エレメントまたは論理ブロックをアレイ状に敷き詰めてその間の結線を自由に変更し、データパスの構造を変更することができる集積回路装置である。また、命令セットにより種々の処理を行う中規模な単一構成の基本機能ユニットを用いてデータパスの構造を変更可能とした集積回路装
- 25   置も検討されている。さらに、本願の出願人は、それぞれ異なる特定の処理に適した内部データパスを備えた複数種類の専用処理要素と、これらの専用処理要素を接続する配線群とを備えた処理ユニットを開発している。そこで、これらのデータフローを変更または再構成可能な処理ユニットの一部によりキャッシュメモリを制御する回路を構成する。

すなわち、本発明の集積回路装置は、第2のメモリとの間でデータを入力および/または出力可能な第1のメモリと、少なくとも1つのデータフローが形成され、そのデータフローの少なくとも1部を変更可能な処理ユニットとを有し、この処理ユニットは、第1のメモリとの間で入力および/または出力されるデータを処理するデータ処理区画と、第1のメモリとデータ処理区画との間で入力および/または出力されるデータの第1のアドレスを出力する第1のアドレス出力区画と、第2のメモリと第1のメモリとの間で入力および/または出力されるデータの第2のアドレスを出力する第2のアドレス出力区画とを備えている。データフローを変更可能な処理ユニットの一部により第1および第2のアドレス出力区画を構成することにより、データ処理区画のハードウェア構成あるいはデータ処理区画で実行するソフトウェアにより、第1のアドレス出力区画または第2のアドレス出力区画のデータフローを変更したり、それぞれの区画の出力を制御することが可能となる。したがって、この集積回路装置で実行する処理に最も適したキャッシュメモリシステムをこの集積回路装置に構成できる。あるいは、集積回路装置で実行する処理に最も適したキャッシュメモリの制御を行うように、キャッシュメモリの制御回路を集積回路装置に構成することができる。

本発明の集積回路装置では、キャッシュメモリとなる第1のメモリを、第2のメモリに対する第2のアドレス、すなわち、データの第2のメモリにおける物理アドレス、または物理アドレスに変換可能な論理アドレスあるいは仮想アドレスにより受動的に制御することも可能である。この制御により、第2のメモリおよび/またはデータ処理区画に対して第1のメモリが透過的に存在するように構成することも可能である。それに加えて、データ処理区画および/または第1のアドレス出力区画からのデータあるいは信号により、さらには、データ処理区画および第1のアドレス出力区画のいずれからも独立して、第2のアドレス出力区画が能動的にデータの入出力を制御することが可能である。また、データ処理区画および第1のアドレス出力区画と並列に、第1および第2のメモリ間におけるデータの入出力動作を制御することも可能である。したがって、第2のアドレス出力区画により、データ処理区画および第1のアドレス出力区画のデータのアクセス先を決定するような構成も可能となり、従来のCPUに対し透過的なキャッ

シュではなく、逆に処理ユニットにおける処理を制御するようなキャッシュを構成することが可能となる。

すなわち、従来のキャッシュのアーキテクチャは、CPUコアあるいはDSPコアなどの画一的なハードウェア構成の処理機構で動作するソフトウェアに対して、平均的に実行速度を向上できるように、ユニホームで透過的なインターフェイスを提供するように構成されている。これに対し、本発明の集積回路装置においては、FPGAなどのデータパスの構成そのものを変更可能なアーキテクチャにより、コアとなるデータ処理区画が提供されるので、それにあわせて、キャッシュの構成もデータ処理区画の構成、およびそこで実行されるソフトウェアに最適な構成に動的に変更可能にするものである。したがって、ユニホームで透過的である必要はなく、コアあるいは実行部であるデータ処理区画に対して、従来のキャッシュとまったく異なったインターフェイスあるいはサービスを提供することが可能となる。

このため、本発明の集積回路装置では、処理ユニットで実行されるソフトウェアの処理内容やハードウェア環境に応じて、第1のメモリをキャッシュとして最も効率良く利用することができる。そして、種々のソフトウェアを実行する際に、高いヒット率が得られるようにキャッシュシステムを構成でき、キャッシュメモリの入出力がソフトウェアを実行する際のオーバーヘッドとならない集積回路装置を提供することができる。

たとえば、データ処理区画で実行されるデータの第2のメモリにおけるアドレスが判明している場合は、第1のメモリのデータ残存量などによって第2のアドレス出力区画が独立してデータをプリフェッチすることが可能である。したがって、データ処理区画の処理時間を消費せずにキャッシュとなる第2のメモリにデータをハードウェア的に、あるいは第2のアドレス出力区画を制御するソフトウェアによりプリフェッチすることができる。たとえば、第1のアドレス出力区画からは第1のアドレスとして第1のメモリのアドレス、すなわち、第1のメモリの物理アドレス、あるいは物理アドレスに変換可能な仮想あるいは論理アドレスを出力し、第2のアドレス出力区画からは第2のアドレスとして第2のメモリのアドレス、すなわち、第1のメモリの物理アドレス、あるいは物理アドレスに

変換可能な仮想あるいは論理アドレスを出力する。さらに、データ処理区画では、キャッシュメモリとなる第1のメモリのアドレスで処理が進むようにハードウェアあるいはソフトウェアを構成することができる。

さらに、第2のアドレス出力区画を、データ処理区画および／または第1のアドレス出力区画とは非同期に、すなわち独立して動作可能とすることが望ましく、これにより、データ処理区画とは独立して並列処理でプリフェッチすることが可能となる。第2のメモリに対する入力と出力を並列に独立して処理できるように、第1のメモリは非同期に、すなわち、独立に入出力可能な複数の格納区画、たとえば複数のメモリバンクを備えていることが望ましい。

また、第2のアドレス出力区画が独自で、あるいはデータ処理区画との組み合わせにより、第1のメモリのデータに基づいて第2のアドレスを出力するように構成することも可能であり、間接アドレッシングによるデータ処理を何らの制限もなく実行することができる。

キャッシュとして動作する第1のメモリは、データ処理区画に入力されるデータを格納する第1の入力メモリと、データ処理区画から出力されたデータを格納する第1の出力メモリとを備えていることが望ましい。これにより、データ処理区画に形成されるデータフローに対するデータの入力と出力とを独立して制御できる。第1のアドレス出力区画からは第1のメモリのアドレスが出力されるが、第1のメモリに第1のアドレスに対応するデータがなかったり、第1のアドレスに対応するデータを格納するスペースがないと、データ処理区画に形成されるデータフローの処理の障害となる。したがって、第1のメモリとデータ処理区画との間の入力および／または出力を管理する第1の調停ユニットを設けることが望ましい。

第1の調停ユニットには、第1のアドレスに対応するデータがない、または、第1のアドレスに対応するデータを格納するスペースがないなどのデータ処理区画との間の入力または出力の条件を満たさない場合は、ストップ信号をデータ処理区画に出力する機能を持たせることができる。そして、データ処理区画には、ストップ信号により、当該データ処理区画に形成された少なくとも1つのデータパスまたはデータフローの処理を停止する機能を持たせることにより、第1の調



停ユニットによりデータパスまたはデータフローのオンオフを制御できる。したがって、データ処理区画に形成されたデータパスまたはデータフローを、処理対象となるデータが揃うのを待って稼働させるような制御を容易に実現できる。

第1のメモリが、第1の入力メモリと第1の出力メモリとを備えているのであれば、第1の調停ユニットとして、第1の入力メモリからデータ処理区画へのデータの転送を管理する第1の入力調停ユニットと、データ処理区画から第1の出力メモリへのデータの転送を管理する第1の出力調停ユニットとを設けることが望ましい。これにより、データ処理区画に形成されるデータフローの制御を入力側と出力側とから独立に行うことができる。

さらに、第1のメモリが、独立に入出力可能な複数の格納区画を備えている場合は、第1の調停ユニットに、複数の格納区画のそれぞれを独立に管理する機能を備えていることが可能である。データ処理区画に形成される複数のデータフローのそれぞれを、対応する格納区画の状態により第1の調停ユニットにより独立して制御できる。一方、第1の調停ユニットに、複数の格納区画に関連付けして管理する機能を設けることも可能である。これにより、データ処理区画に形成されたデータフローが、所定の格納区画に外部メモリから入力されたデータを優先して処理したり、データフローからの出力を所定の格納区画を介して外部メモリに対して優先的に出力したりする制御が容易に実現できる。

さらに、データ処理区画に複数のデータフローが構成可能であるときには、複数の第1のメモリを設け、処理ユニットには、各々の第1のメモリに対応する第1および第2のアドレス出力区画が形成されるようにすることが望ましい。これにより、データ処理区画および第1のアドレス出力区画を適切に構成することにより多階層キャッシュを構成することも可能となる。また、集積回路装置で実行するプログラムによっては、複数の第1のメモリを命令キャッシュとデータキャッシュとして使い分けたり、さらには、複数のデータ処理区画を設けたときにそれらで処理するデータをキャッシュするために複数の第1のメモリを使い分け、第2のアドレス出力区画によりそれぞれの第1のメモリにキャッシュされるデータを適切に制御することが可能となる。

複数の第2のアドレス出力区画を設ける場合は、第2のメモリと複数の第1の

- メモリとの間の入出力を管理する第2の調停ユニットを用意し、第2のアドレスは第2の調停ユニットに供給されるようにすることが望ましい。これにより、第2のメモリが外部メモリであるときに、その外部メモリに対して従来と同様に本発明の集積回路装置はアクセスできる。また、第2のメモリが同一チップ内に形成された集積回路装置においては、第2のメモリが第3のメモリとの間でデータを入力および／または出力可能として、第3のメモリと第2のメモリとの間で入力および／または出力されるデータの第3のアドレスを出力する第3のアドレス出力手段も設けてキャッシュメモリを多階層化することが可能である。すなわち、第3のメモリが外部メモリであれば、第1および第2のメモリによりキャッシュメモリが構成される。この第3のアドレス出力手段は、MMUなどの従来のキャッシュ制御機構であっても良く、第2のアドレス出力区画と同様に構成することも可能である。第4あるいはそれ以上の階層のメモリ（ROM、RAMに限らず、ディスクなどの様々なタイプの記録媒体を含む）を対象として制御する場合も同様である。
- 15     データフローを変更あるいは再構成可能な処理ユニットは、機能を変更可能な複数の単一種類の論理要素と、これらの論理要素を接続する配線群とを備えているもの、すなわち、上述したFPGAや、中規模な単一構成の基本機能ユニットを用いてデータパス構造またはデータフローを変更可能としたものであっても良い。それぞれ異なる特定の処理に適した内部データパスを備えた複数種類の専用
- 20     処理要素と、これらの専用処理要素を接続する配線群とを備えている処理ユニットを採用することが可能である。そして、このような再構成可能な処理ユニットであれば、アドレスを出力するのに適した内部データパスを備えた専用処理要素を予め組み込むことが可能であり、アドレスを発生する処理効率を高め、処理速度をさらに向上できる。また、余剰な回路要素の存在を低減できるので、データ
- 25     フローを変更するために選択する要素も低減でき、AC特性も向上でき、さらに、スペース効率も高くなる。

したがって、処理ユニットのデータフローの少なくとも1部の変更を指示する制御ユニットが、処理ユニットに対し、上述したデータ処理区画と、第1のアドレス出力区画と、第2のアドレス出力区画とを構成するように指示する工程を実

行することにより、データフローをフレキシブルに、そして短時間にダイナミックに変更できる。そして、フレキシブルなキャッシュシステムを備えた、コンパクトで経済的な集積回路装置を提供できる。

- 処理ユニットのデータフローの変更を容易にするために、専用処理要素間の接続を変更可能とすると共に、専用処理要素の内部データパスの一部を選択する手段と、内部のデータパスの選択を記憶するコンフィグレーションメモリとを設けることが望ましい。制御ユニットは、コンフィグレーションメモリの内容を書き換えたり、処理ユニットのデータフローの少なくとも1部の変更を指示することによりデータフローを再構成できる。さらに、専用処理要素を備えた処理ユニットであれば、この制御ユニットにより、データ処理区画、第1のアドレス出力区画、または、第2のアドレス出力区画のデータフローの変更を非同期または独立して指示することが可能となる。これにより、第1のメモリに対してデータを入出力している間は、データ処理区画および/または第1のアドレス出力区画を構成する専用処理要素を、別の目的のデータフローを構成するために使用したり、
- 15 逆に、データ処理区画で処理を実行している間は、第2のアドレス出力区画の専用処理要素を異なるメモリの制御に用いたり、あるいは異なる目的で利用したりすることが可能となり、処理ユニットのリソースをフレキシブルに効率良く活用できる。

- さらに、制御ユニットに上記の処理を行わせるプログラムコードを記憶するコードメモリを搭載することにより、ワンチップのシステムLSIなどの集積回路装置を構成することが可能となる。したがって、様々な目的のソフトウェアに対し、キャッシュがオーバーヘッドとならず、効率的に利用し、実行速度を向上できる集積回路装置を提供できる。また、データフローを再構成可能な処理ユニットを単体のチップあるいはプロセッサコアとして提供したり、キャッシュメモリ
- 20 となる第1のメモリを搭載した状態でチップとして提供することも可能であり、本発明を実現可能な形態は様々であり、それらの形態を含む処理装置も本発明に含まれる。
- 25

### 図面の簡単な説明

図 1 は、本発明の実施の形態に係る集積回路装置の概略構成を示すブロック図である。

図 2 は、処理ユニットである A A P の概略構成を示す図である。

5 図 3 は、マトリクス部の概略構成を示す図である。

図 4 は、アドレスを出力する処理に適したデータパス部の例である。

図 5 は、図 4 に示したデータパス部のアドレス発生回路の構成を示す図である。

図 6 は、図 5 に示したカウンタの構成を示す図である。

図 7 は、図 5 と異なるアドレス発生回路の構成を示す図である。

10 図 8 は、大容量 R A M を外部メモリとして制御する様子を示す図である。

図 9 は、大容量 R A M および周辺デバイスを外部メモリとして制御する様子を示す図である。

図 10 は、複数の大容量 R A M および周辺デバイスを外部メモリとして制御する様子を示す図である。

15 図 11 は、本発明の異なる集積回路装置により大容量 R A M を外部メモリとして制御する様子を示す図である。

### 発明を実施するための最良の形態

以下に図面を参照しながら、本発明についてさらに説明する。図 1 に、本発明  
20 に係るシステム L S I 10 の概略構成を示してある。この L S I 10 は、プログラムなどによって与えられる命令セットに基づきエラー処理を含めた汎用的な処理を行う汎用な構成のプロセッサ部（以降では基本プロセッサまたはプロセッサ）11 と、マトリクス状に配置された演算あるいは論理エレメントにより特定のデータ処理に適合したデータフローあるいは擬似データフローがバリエアブルに  
25 形成される A A P （Adoptive Application Processor）部あるいは A A P ユニット（以降では A A P ）20 と、この A A P 20 からの割り込み処理を制御する割り込み制御部 12 と、A A P 20 に作動用のクロック信号を供給するクロック発生部 13 と、この L S I 10 で提供可能な演算回路のフレキシビリティをさらに向上するための F P G A 部 14 と、外部に対するデータの入出力を制御するバス

制御部15とを備えたデータ処理システムである。FPGA部14は、このLSI10の外部に設けられたFPGAチップとのインターフェイスであり、以降ではオフチップFPGAあるいはFPGAとして参照する。本発明の集積回路装置であるLSI10では、基本プロセッサ11とAAP20は、基本プロセッサ11とAAP20との間でデータを交換可能なデータバス17と、基本プロセッサ11からAAP20の構成および動作を制御するための命令バス18とにより接続されている。また、AAP20から割り込み制御部12に信号線19を介して割り込み信号が供給され、AAP20における処理が終了したり、処理中にエラーが発生したときはAAP20の状態を基本プロセッサ11にフィードバックできるようにになっている。

AAP20とFPGA14との間もデータバス21により接続されており、AAP20からFPGA14にデータを供給して処理を行い、その結果をAAP20に返せるようになっている。さらに、AAP20は、ロードバス22およびストアバス23によってバス制御ユニット15と接続されており、LSI10の外部のデータバスとの間でデータを交換できるようになっている。したがって、AAP20は、外部のDRAM2やその他のデバイスからデータを入力でき、そのデータをAAP20で処理した結果を再び外部のデバイスに出力できる。基本プロセッサ11もデータバス11aとバス制御ユニット15を介して外部のデバイスとデータを入出力できる。

図2にAAPユニット20の概要を示してある。本例のAAPユニット20は、複数の算術および／または論理演算を行う論理ブロック、論理ユニットあるいは論理要素（以降ではエレメント）がマトリクス状に配置されたマトリクス部28と、そのマトリクス部28に対してデータを供給する入力バッファ26と、マトリクス部28から出力されるデータを格納する出力バッファ27を備えている。これら入力バッファ26および出力バッファ27は、それぞれ4つの小容量の入力メモリ（RAM）26a～26dと、出力メモリ（RAM）27a～27dとを備えている。AAP20は、さらに、これらの複数のメモリから構成される入力バッファ26および出力バッファ27とバス制御ユニット15との間におけるデータの入出力動作を制御する外部アクセス調停ユニット（第2の調停ユニッ

ト) 25とを備えている。

本例の入力RAM 26 a ~ 26 d および出力RAM 27 a ~ 27 d は、各々が1 k バイトの2ポートRAMとして機能し、64 k ビット幅で512 バイトの深さのある2バンク形式のRAM 81 および82として使用できるようになっている。したがって、メモリに対する入力と出力で異なるバンクを使用することにより入出力を独立した動作として処理することが可能である。さらに、RAM 81 および82に対する入出力を管理する調停ユニット（第1の調停ユニット）85を備えており、入力および出力の回数をカウントすることにより各バンクのフルおよびエンプティをチェックできるようになっている。

10 これら入力RAM 26 a ~ 26 d および出力RAM 27 a ~ 27 d の入出力を制御するために、マトリクス部28とそれぞれのRAMおよび調停ユニット85との間で複数種類の制御信号が交換される。まず、各入力RAM 26 a ~ 26 d 毎に、入力RAM 26 a ~ 26 d からマトリクス部28が読み出すデータを制御するための16ビットの入力読み出しアドレスデータ（ira、第1のアドレス）61が出力される。この入力読み出しアドレス61は、各入力RAM 26 a ~ 26 d の論理あるいは物理アドレスである。また、各入力RAM 26 a ~ 26 d の調停ユニット85からマトリクス部28に、フルおよび／またはエンプティによりアドレスデータ61の供給を制御する入力読み出しアドレスストップ信号（ira\_\_stop）62が出力される。また、調停ユニット85からは、  
15 マトリクス部28から供給されたアドレスデータ61に対応するデータがないなどの、マトリクス部28に対する入力条件が整わない場合も入力読み出しアドレスストップ信号62が出力される。

マトリクス部28では、このストップ信号62によりマトリクス部28に形成されるデータフローをオンオフする。したがって、マトリクス部28にデータフローが形成された後の実行工程においては、データフローで定義された処理の実行を各入力RAM 26 a ~ 26 d の調停ユニット85により制御することができる。したがって、入力RAM 26に、入力読み出しアドレスデータ61に対応するデータがなければ、データフローの処理は待ち状態になる。また、入力RAM 26に、入力読み出しアドレスデータ61に対応するデータがあれば、32ビット

トの入力読み出しデータ (i r d) 63がマトリクス部28に供給され、形成されたデータフローにより処理され、出力RAM27のいずれかに出力される。また、マトリクス部28からは入力読み出しデータ63を制御するストップ信号 (i r d\_\_s t o p) 64が各入力RAM26a~26dに出力され、マトリクス部28のデータフローの動作が、たとえば、出力側による原因で停止したときは読み出しを停止する。

各入力RAM26a~26dの調停ユニット85は、基本的には、各RAM26a~26dを独立して制御する。したがって、各入力RAM26a~26dとマトリクス部28との間のデータ交換は、入力RAM26a~26d毎に制御および実行され、入力RAM26a~26dに対応して形成されたマトリクス部28のデータフローが独立して制御される。以下で説明する出力RAM27a~27dについても同様である。一方、これら入力RAM26a~26dの調停ユニット85は、入力RAM26a~26dの間の配線により、または、マトリクス部28を介した配線により接続することも可能であり、複数の入力RAM26a~26dを関連付けして管理することも可能である。複数の入力RAM26a~26dを関連付けして管理することにより、マトリクス部28に形成されるデータフローに対して複数の入力RAMを割り付けることが可能である。そして、調停ユニット85により、複数の入力RAM26a~26dに優先順位をつけて、優先度の高いRAMのデータからデータフローに供給するといった制御が実現できる。

また、入力RAM26a~26d毎に、バス制御ユニット15を介して外部メモリ2から読み出して各入力RAM26a~26dに書き込むデータを制御するための32ビットの入力書き込みアドレスデータ (i w a、第2のアドレス) 65と、そのデータタイプなどを指定可能な4ビットの制御信号 (i w d\_\_t y p e) 66がマトリクス部28から出力される。各入力RAM26a~26dに対応するこれらの入力書き込みアドレスデータ65および制御信号66は、すべて外部アクセス調停ユニット25に出力される。この入力書き込みアドレス65は、外部メモリであるRAM2の物理アドレス、あるいは物理アドレスに相当する論理または仮想アドレスとなる。これに対し、外部アクセス調停ユニット25から

アドレスデータ65の出力を制御するストップ信号(iwa\_\_stop)67がマトリクス28に供給される。

さらに、外部アクセス調停ユニット25に供給された入力書き込みアドレスデータ65に呼応した64ビットの入力書き込みデータ(iwd)68が調停ユ  
5 ニット25から各入力RAM26a~26dに供給され、各入力RAM26a~  
26dからは入力書き込みデータ68を制御するストップ信号(iwd\_\_stop)  
69が外部アクセス調停ユニット25に出力される。

マトリクス部28からの出力を制御するためには、各出力RAM27a~27  
d毎に、マトリクス部28から読み出して出力RAM27a~27dに書き込む  
10 データを制御するための16ビットの出力書き込みアドレスデータ(owa、第  
1のアドレス)71が出力される。この出力書き込みアドレス71は、各出力R  
AM27a~27dの論理または物理アドレスとなる。また、各出力RAM27  
a~27dの調停ユニット85からマトリクス部28に、フルおよび/またはエン  
プティーによりアドレスデータ71の供給を制御する出力書き込みアドレスス  
15 トップ信号(owa\_\_stop)72が出力される。すなわち、調停ユニット8  
5からは、マトリクス部28からの出力を受ける条件を満たさない場合に、出力  
書き込みアドレスストップ信号72が出力される。マトリクス部28では、この  
ストップ信号72によりマトリクス部28に形成されるデータフローをオンオフ  
し、データフローで定義された処理の実行を制御する。出力RAM27にスペー  
20 スがあれば、出力書き込みアドレスデータ71と共に32ビットの出力書き込み  
データ(owd)73がマトリクス部28から出力される。また、各出力RAM  
27a~27dの調停ユニット85からマトリクス部28に出力書き込みデータ  
73を制御するストップ信号(owd\_\_stop)74が供給される。

また、出力RAM27a~27d毎に、バス制御ユニット15を介して各入力  
25 RAM26a~26dから読み出して外部メモリ2に書き込むデータを制御する  
ための32ビットの出力読み出しアドレスデータ(ora、第2のアドレス)7  
5と、そのデータタイプなどを指定可能な4ビットの制御信号(ord\_\_typ  
e)76がマトリクス部28から出力される。これらの出力読み出しアドレス  
データ75と制御信号76はすべて外部アクセス調停ユニット25に出力される。



この出力読み出しアドレス75は、外部メモリであるDRAM2の物理アドレス、あるいは物理アドレスに相当する論理または仮想アドレスとなる。これに対し、外部アクセス調停ユニット25からアドレスデータ75の出力を制御するストップ信号(`ora__stop`)77がマトリクス28に供給される。

- 5      さらに、出力読み出しアドレスデータ75と共に、64ビットの出力読み出しデータ(`ord`)78が各出力RAM27a~27dから外部アクセス調停ユニット25に供給され、外部アクセス調停ユニット25から各出力RAM27a~27dに出力読み出しデータ68を制御するストップ信号(`ord__stop`)79が供給される。
- 10      したがって、本例のAAP20においては、マトリクス部28の入力データ63は、複数の入力RAM26a~26dと、外部アクセス調停ユニット25とを経て外部メモリ2とのインターフェイスとなるバス制御ユニット15から供給される。また、マトリクス部28の出力データ73は、複数の出力RAM27a~27dと、外部アクセス調停ユニット25とを経て外部メモリ2とのインター
- 15      フェイスとなるバス制御ユニット15に供給される。そして、入力RAM26a~26dおよび出力RAM27a~27dは、各々が2バンク構成になっているので、入力RAM26a~26dおよび出力RAM27a~27dとマトリクス部28との間の処理と、入力RAM26a~26dおよび出力RAM27a~27dと外部アクセス調停ユニット25との間、すなわち、外部RAM2との間の
- 20      処理とを独立してあるいは非同期で並列に実行できる。

- また、外部アクセス調停ユニット25とバス制御ユニット15の間には、高速でブロック単位でデータを入出力できるように、32ビットのアドレスバスと256ビットのデータバスによりロードバス22およびストアバス23が構成されている。そして、アドレスバスを介して入力アドレス信号22aおよび出力アドレス信号23aが伝達され、データバスを介して入力データ22bおよび出力データ23bが伝達される。また、5ビットのコマンド22cおよび23cを伝達する信号線と、バス制御ユニット15のビジー信号22dおよび23dを伝達する信号線と、バス制御ユニット15のレディー信号22eを伝達する信号線も用意されている。
- 25

図3に、本例のマトリクス部28と小容量RAM26a～26dおよび27a～27dを含んだ構成29の概要を示してある。このマトリクス部28が、本発明における処理ユニットに対応するデータパスあるいはデータフローを再構成可能なシステムである。マトリクス部28は、複数の演算ユニットであるエレメント30を備え、それらのエレメント30が縦方向に4つのラインを構成するようにアレイ状あるいはマトリクス状に配置されている。また、マトリクス部28は、これらのエレメント30の間に配置された、横方向に延びた行配線群51と、縦方向に延びた列配線群52とを備えている。列配線群52は、列方向に並んだ演算ユニット30の左右に分かれて配置された配線群52xおよび52yが1対になっており、これらの配線群52xおよび52yからデータが各々のエレメント30に供給される。

行配線群51および列配線群52との交点にはスイッチングユニット55が配置されており、行配線群51の任意のチャンネルを、列配線群52の任意のチャンネルに切り替えて接続できるようになっている。各々のスイッチングユニット55は、設定を記憶するコンフィグレーションRAMを備えており、プロセッサ部11から供給されるデータによりコンフィグレーションRAMの内容を書き換えることにより、行配線群51と列配線群52の接続を動的に任意に制御できる。このため、本例のマトリクス部28においては、複数のエレメント30の全部あるいは一部が配線群51および52により接続されて形成されるデータフローの構成を任意に動的に変更することができる。

各エレメント30は、1組の列配線群52xおよび52yのそれぞれから入力データを選択するための1組のセクタ31と、選択された入力データ $d_{ix}$ および $d_{iy}$ に特定の算術および／または論理演算処理を施し、出力データ $d_o$ として行配線群51に出力する内部データパス部32を備えている。そして、本例のマトリクス部28には、各行毎に異なる処理を行うための内部データパス部32を備えたエレメント30が並んで配置されている。さらに、これらの配線群51および52には、キャリー信号を伝送する配線も用意されている。キャリー信号は、桁上げ用の信号や真偽を示す信号として使用することが可能であり、本例のマトリクス部28では、各エレメント30において算術演算および論理演算を

制御したり、結果を他のエレメント 30 に伝達するためなどに利用される。

まず、第 1 行目に配列されたエレメント 30 は、入力バッファ 26 からのデータを受信する処理に適したデータパス部 32 i を備えている。ロード用のデータパス部 (LD) 32 i は、単にデータを受け入れるだけであれば、論理ゲートは  
5 不要であり、ロードバス 22 からデータを受信して、行配線群 51 に出力する。  
本例のマトリクス部 28 においては、ロード用のデータパス部 32 i は、入力 RAM 26 の RAM 調停ユニット 85 からストップ信号 62 を受けると、このデータパス部 32 i のエレメント 30 に繋がったデータフローの処理を停止する機能を備えている。さらに、マトリクス部 28 の内部要因や、出力側の要因により  
10 データパス部 32 i のエレメントに繋がったデータフローを停止するときは、対応する入力 RAM 26 の調停ユニット 85 に対してストップ信号 64 を出力する機能を備えている。

第 2 行目に配置されたエレメント 30 a は、入力バッファ 26 の入力 RAM 26 a ~ 26 d の各々に外部 RAM 2 からデータを書き込むためのエレメントであり、第 2 のアドレス出力区画に対応する。したがって、ブロックロードするためのアドレス (第 2 のアドレス) を発生するのに適した内部データパスを具備するデータパス部 32 a を備えている。このデータパス部 32 a は、B L A (Back  
15 Ground Load Address Generator) と称される。図 4 は、データパス部 32 a の一例であり、カウンタなどからなるアドレス発生回路 38 を備えており、そのアドレス発生回路 38 からアドレスが出力信号 d o として出力される。出力信号 d o  
20 は、行配線群 51 および列配線群 52 を介して、そのまま、あるいは、他のエレメント 30 によって処理された後に入力信号 d i x あるいは d i y としてデータパス部 32 に供給され、供給されたアドレスのいずれかがセクタ S E L で選択されてフリップフロップ F F を介してマトリクス部 28 からアクセス調停ユニット 25  
25 ト 25 に入力書き込みアドレス 65 として出力される。

マトリクス 28 を構成する全てのエレメント 30 と同様に、このアドレスを発生するエレメント 30 もアドレス発生回路 38 やセクタ S E L の状態を設定するコンフィグレーション RAM 39 を備えており、このコンフィグレーションメモリ 39 のデータは基本プロセッサ 11 よりの制御信号 18 によりセットされる。

図5にアドレス発生回路38の一例を示してある。このアドレス発生回路38は、複数のカウンタ38aと、これらのカウンタ38aからの出力を演算してアドレスとして出力する加算器38bとを備えている。各々のカウンタ38aは、図6に示したように、算術演算ユニットALU38cと、コンパレータ38dとが組み合わされた構成となっており、ALU38cは、ADD、SUB、BITシフト、OR、XORやそれらを組み合わせた演算を行うようにセットすることが可能である。したがって、クロックが来る度に値を発生する関数発生回路としての機能があり、このカウンタ38aの機能はコンフィグレーションRAM39を介してプロセッサ部11からセットすることができる。

10 また、ALU38cの制御信号enを他のカウンタ38aから供給されるキャリー信号cyによりセットしたり、コンパレータ38dの出力をキャリー信号cyとして他のカウンタ38aに伝達できる。このようにキャリー信号を利用することにより、カウンタ38aの状態により他のカウンタ38aの状態をセットし、任意のアドレスを発生させることができる。さらに、本図には示されていないが、  
15 カウンタ38aの制御信号enを他のエレメント30から供給されるキャリー信号cyによりセットしたり、他のエレメント30に伝達できる。

したがって、この入力書き込みアドレス65を出力するエレメント(BLA)30aは、内部データパス32aとしてアドレス発生回路38を備えたアドレス発生に適した構成であると共に、コンフィグレーションRAM39を通じてプロセッサ11からアドレス発生の処理内容を制御することが可能であり、さらに、  
20 他のエレメント30との関連性も自由にセットすることができる。BLA32aに含まれる複数のカウンタ38aは、たとえば、32ビットのカウンタであり、外部メモリ2からローカルストアバッファであるRAM26a~26bへDMA転送するためのアドレスを発生する。

25 図3の第3行目に配置されたエレメント30bは、入力RAM26a~26dの各々より所望のデータをマトリクス部28へロードする入力読み出しアドレス61を発生するデータパス部32bを備えており、第1のアドレス出力区画に対応する。このデータパス部32bは、LDA (Load Address Generator) と称される。このデータパス部32bの構成は、出力されるアドレスが32ビットでは

なく16ビットであることを除き、基本的には上記のアドレス発生用の内部データパス部32aの構成と同じである。したがって、データパス部32bの基本的構成は図4に示した通りである。

LDA32bに含まれるアドレス発生回路38の一例を図7に示してある。このアドレス発生回路38は、4つの16ビットカウンタ38aを備えており、ローカルストアバッファであるRAM26a~26bからマトリクス部28へデータを転送するためのアドレスを発生する。また、カウンタ38aの制御信号enは他のエレメント30から供給されるキャリー信号cyによりセットでき、さらに、他のエレメント30に伝達できるように構成されている。このエレメント30から出力された入力読み出しアドレス61により、入力RAM26a~26dよりマトリクス部28へデータが供給され、マトリクス部28を構成する他の論理および演算エレメントにより演算処理される。

第4行目および第5行目に配列されたエレメント30cは、算術演算および論理演算に適したデータパス部(SMA)32cを備えている。このデータパス部32cは、たとえば、シフト回路、マスク回路、論理演算ユニットALUおよびALUで処理する演算をセットするコンフィグレーションRAM39を備えている。したがって、プロセッサ11が書き込んだ命令により、入力データdixおよびdiyを加算あるいは減算したり、比較したり、論理和あるいは論理積を取ったりすることができ、その結果が出力信号doとして出力される。

その下の行に配列されたエレメント30dは、データが伝送されるタイミングを遅延する処理に適したデータパス部(DE L)32dを備えている。このデータパス部32dには、たとえば、複数のセクタとフリップフロップFFとの組み合わせで構成されたデータパスが用意されており、コンフィグレーションRAM39のデータによりセクタで選択されたパスを入力信号dixおよびdiyが通ることにより、任意のクロック数だけ遅延して出力信号doxおよびdoyとして出力される。

その下の行に配列されたエレメント30eは、乗算器などを含む乗算処理に適したデータパス部(MUL)32eを備えている。さらに異なるエレメント30fとしては、マトリクス部28の外部に用意されたFPGA14とのインター

フェイス用のデータパス部 32 f を備えたエレメントも用意されており、データをいったん F P G A 1 4 に供給して処理した後、再びマトリクス部 2 8 に戻して処理を継続することができる。

- これらのデータ処理区画に相当するエレメントが配列された領域のさらに下方
- 5    には、ストア用のアドレスを発生するのに適したデータパス部 32 g および 32 h をそれぞれ備えたエレメント 30 g および 30 h が配置されている。これらのデータパス部 32 g および 32 h は、上記にて図 4 から図 7 を参照しながら説明したアドレスを発生するデータパス部 32 b および 32 a と基本的に同一の構成となっている。データパス部 32 g を備えたエレメント 30 g は第 1 のアドレス
- 10   出力区画であり、マトリクス 2 8 から出力されるデータを出力 R A M 2 7 a ~ 2 7 d に書き込むための出力書き込みアドレス 7 1 を出力する。そして、上述した各種類のエレメント 30 c ~ 30 f により構成されたデータ処理系列から出力されたデータを出力 R A M 2 7 a ~ 2 7 d に書き込む。このデータパス部 32 g は、S T A (Store address Generator) と称され、L D A 3 2 b と同様の構成となる。
- 15    このエレメント (S T A) 30 g の下方に配置され、データパス部 32 h を備えたエレメント 30 h は、第 2 のアドレス出力区画であり、出力 R A M 2 7 a ~ 2 7 d のデータを読み出して外部 R A M 2 に書き込むための出力読み出しアドレス 7 5 を出力し、外部 R A M 2 にマトリクス部 2 8 で処理されたデータを書き込む。このデータパス部 32 h は、B S A (Back Ground Store Address Generato
- 20   r) と称され、B L A 3 2 a と同様の構成となる。

- そして、最下段には、ストア用にデータを出力するのに適したデータパス部 32 s を備えたエレメント 30 が配列されている。このデータパス部 32 s は S T と称されており、算術演算用のデータパス部 32 c とほぼ同様の構成のデータパス部を採用できる。さらに、本例においては、この出力用のデータパス部 32 s
- 25   には、出力 R A M 2 7 の調停回路 8 5 からストップ信号 7 4 を受けると、この出力用のエレメント 30 に繋がったデータフローの処理を停止する機能を備えている。

このように、本例のマトリクス 2 8 は、外部 R A M 2 から入力 R A M 2 6 a ~ 2 6 d にデータを入力 (ブロックロードする) ためのアドレスを発生する内部データパス (B L A) 3 2 a を備えたエレメント 30 a と、それら入力 R A M 2

- 6 a ~ 2 6 d からマトリクス部 2 8 へデータを入力するためのアドレスを発生する内部データパス (LDA) 3 2 b を備えエレメント 3 0 b を備えている。さらに、マトリクス部 2 8 から出力 RAM 2 7 a ~ 2 7 d へデータを出力するためのアドレスを発生する内部データパス (STA) 3 2 g を備えたエレメント 3 0 g と、出力 RAM 2 7 a ~ 2 7 d のデータを外部 RAM 2 に出力する (ブロックロードする) ためのアドレスを発生する内部データパス (BSA) 3 2 h を備えたエレメント 3 0 h とを備えている。これらのエレメント 3 0 a、3 0 b、3 0 g および 3 0 h は、上述したようにいずれもアドレスを発生させるのに適したデータパスを備えていると共に、その構成あるいは機能をコンフィグレーション RAM 3 9 のデータを書き換えることにより変更できる。そして、マトリクス部 2 8 の他のエレメント 3 0 との接続環境も配線群 5 1 および 5 2 の接続を変えることにより変更できる。したがって、プロセッサ 1 1、あるいは、マトリクス部 2 8 の他のエレメント 3 0 からアドレス発生 of データを提供したり、アドレスを発生するタイミングをフレキシブルに制御することが可能である。
- 15      したがって、様々な条件および/または構成で、外部 RAM 2 からキャッシュとなる入力 RAM 2 6 a ~ 2 6 d に対しデータをロードすることができる。また、その処理とは別に、非同期で、あるいは独立して、異なる条件で入力 RAM 2 6 a ~ 2 6 d からマトリクス部 2 8 へデータをロードすることが可能である。そして、エレメント 3 0 a および 3 0 b が独立しているので、これらの処理を並列に  
20      実行することが可能である。したがって、これら複数の入力 RAM 2 6 a ~ 2 6 d は、それぞれが独立で入出力可能な格納区画となっている。

さらに、入力 RAM 2 6 a ~ 2 6 d は 2 バンク構成になっているので、入力 RAM 2 6 a ~ 2 6 d に対する入力および出力も並列に行うことが可能であり、入力 RAM 2 6 a ~ 2 6 d に対するデータの入出力が極めて効率良く行える構成となっている。出力 RAM 2 7 a ~ 2 7 d も同様であり、それぞれが独立で入出力可能な格納区画となり、さらに、個々の RAM 2 7 a ~ 2 7 d に対する入力および出力も独立で並列に行うことが可能である。したがって、このシステムでは、  
25      キャッシュとして動作する RAM 2 6 a ~ 2 6 d および 2 7 a ~ 2 7 d に対してデータの入出力を極めて効率良く行うことができる。

本例のマトリクス 28 は、基本的にアドレス発生に適したデータパス部 32 a、32 b、32 g および 32 h をそれぞれ備えたエレメント 30 a、30 b、30 g および 30 h を備えており、それぞれの動作は基本プロセッサ 11 から指示により決定される。すなわち、制御ユニットである基本プロセッサ 11 から制御バス 28 を介して供給される指示により、第 1 のメモリである RAM 26 a ~ 26 d および 27 a ~ 27 d へのアクセスする回路が決定され、さらに、主メモリ（第 2 のメモリ）となる DRAM 2 へのアクセスする回路が決定される。

さらに、それらメモリへのアクセスを制御する回路がマトリクス内に構成されるので、それらの回路の動作に、マトリクス 28 の内部における条件、たとえば、データフローの構成あるいは処理結果さらには、マトリクス 28 の他のエレメントを用いた処理の結果が直接あるいは間接的に反映することは極めて容易である。アドレスを発生させるのに適したエレメント 30 a、30 b、30 g および 30 h は他のエレメントと同様に、配線 51 および 52 により、マトリクス部 28 の他のエレメントに対して自由に配線できる。このため、マトリクス部 28 の中でデータ処理区画となる他のエレメントにより構成されるデータフローあるいはデータ処理区画で実行するソフトウェアにより、エレメント 30 a、30 b、30 g および 30 h のパラメータあるいは処理内容を変えることにより出力を制御できる。さらには、エレメント 30 a、30 b、30 g および 30 h と他のエレメントでデータフローを構成することにより、他のエレメントの機能をアドレス発生用に利用することも可能である。したがって、キャッシュシステムを構成する第 1 のメモリである RAM 26 a ~ 26 d および 27 a ~ 27 d へのアクセス方法、さらに、主メモリ（第 2 のメモリ）となる DRAM 2 へのアクセス方法をマトリクス 28 の内部における条件、たとえば、データフローの構成あるいは処理結果によりフレキシブルに決定できる。

さらに、マトリクス部 28 は基本プロセッサ 11 からの制御により再構成可能な構成なので、これらアドレスを発生するエレメント 30 a、30 b、30 g および 30 h の内部のデータパスおよび機能を動的に再構成することが可能であり、外部の他のエレメントとの接続も動的に再構成することができる。もちろん、マトリクス部 28 の内部にエレメント内およびエレメント間の接続を再構成できる



機能を持ち込むことも可能である。したがって、マトリクス部 28 で実行する処理内容によってマトリクス部 28 の他のエレメント 30 の接続を変更してデータフローあるいはデータパス構造を再構成する際に、入力 RAM からなるバッファ 26 および出力 RAM からなるバッファ 27 にデータを入出力する構成も変更することが可能である。

このため、マトリクス部 28 で実行する処理に最も適した構成でデータを入力バッファ 26 および出力バッファ 27 に入出力するように構成することが可能であり、キャッシュとしてのヒット率を高めたり、キャッシュの書き換えの回数を削減したりすることが可能となる。また、アドレスを発生するエレメント 30 a、30 b、30 g および 30 h の内部およびこれに関連するデータパス構造を、エレメント毎に再構成することも可能であり、それぞれの RAM 26 a ~ 26 d および 27 a ~ 27 d の単位でキャッシュシステムを再構成することも可能である。このため、フレキシビリティは非常に高い。したがって、マトリクス部 28 に他のエレメント 30 によりデータ処理系列が構成される前に、そのデータ処理系列に適したデータ入力構造を実現して、データのロードを先行して開始したり、データ処理系列が他の処理のために再構成された後もデータ出力構造を維持してデータの出力だけを継続するなどの従来では考えられなかった処理も極めてフレキシブルに実行できる。すなわち、第 1 のメモリである RAM 26 および 27、さらには第 2 のメモリである DRAM 2 に対する処理を、他のエレメントあるいはデータフローに従属した状態でも、独立した状態でも自由に実行することができる。もちろん、アドレスを発生するエレメント 30 a、30 b、30 g および 30 h を関連して動作させることも可能であり、複数のエレメント 30 a あるいは 30 b を関連して動作させ、複数の RAM 26 を 1 つの大容量のキャッシュとしてマトリクス部に利用させることも可能である。

また、エレメント 30 a は、入力 RAM 26 a がエンプティになると入力書き込みアドレス 65 を出力して RAM 2 からデータを書き込む処理を行い、エレメント 30 b は、入力 RAM 26 a にデータがあると、そのデータをマトリクス部 28 にロードする処理を行うことも可能である。これにより、エレメント 30 a および 30 b を独立に並列に動かすことが可能であり、データ処理系列の処理

時間を浪費することなく外部RAM2のデータを入力RAM26aにプリフェッチすることができる。また、エレメント30aが外部RAM2からデータを入力するアドレスを制御すれば、エレメント30bおよびマトリクス部28に構成されるデータ処理系列においては、内部RAM26aのアドレスだけで処理を進めることも可能である。さらに、マトリクス部28の他の複数のエレメント30によりデータフロータイプの処理系が定義されているようであれば、アドレスを除いたデータだけでマトリクス部28ではデータ処理を進めることも可能である。

マトリクス部28のデータ処理系列からは仮想アドレスが出力され、それをエレメント30bで入力RAM26aの物理アドレスに変換してデータを供給し、  
10 入力RAM26aにデータがない場合はエレメント30aで外部RAM2の物理アドレスに変換して外部RAM2からロードする構成にすることも可能である。

また、エレメント(BLA)30aが、入力RAM26bから入力されたデータによりアドレスを発生し、それにより外部RAM2から入力RAM26aにデータをロードするように構成することも可能である。したがって、マトリクス部28に構成されるデータ処理系列とは独立して、入力RAM26あるいは出力RAM27に対する入出力を処理する機構だけで、完全な間接アドレッシングの制御を行うことができる。さらに、複数の入力RAM26a~26d、出力RAM27a~27dさらにはアクセス調停ユニット25を連動させることにより複数の階層構造を備えたキャッシュ構造を実現することも可能である。

20 また、本例のAAP20では、エレメント30を4列に並べているのに対応させて4つの入力RAM26a~26dおよび出力RAM27a~27dを用意している。したがって、これらの入力RAM26a~26dおよび出力RAM27a~27dをマトリクス部28に、他のエレメント30により構成される複数のデータ処理系列に個別に対応したキャッシュメモリとして利用することができる。  
25 このため、マトリクス部28で複数のジョブあるいはアプリケーションが実行されている場合に、それらのジョブあるいはアプリケーションにそれぞれ最適なキャッシュとして各入力RAM26a~26dおよび出力RAM27a~27dを利用できる。エレメント30は4列に配列しているが、エレメント30により構成されるデータ処理系列は4列に限定されることはない。マトリクス部28に

構成されるデータ処理系列が3列以下であれば、入力RAM 26 a ~ 26 d および出力RAM 27 a ~ 27 d のうちの複数のRAMを1つのデータ処理系列に割り当てることにより、キャッシュメモリの容量を増やすことができる。データ処理系列が5列以上であれば、キャッシュメモリとして1つのRAMを複数のデータ処理系列に割り当てることになるが、最悪でも、RAMを共用するデータ処理系列で、現状のCPUコアでマルチタスクのキャッシュ処理が行われているのと同様の状況が発生するだけである。

図8に概要を示すように、本発明の集積回路装置または処理装置であるシステムLSI 10は、処理ユニットであるマトリクス部と小容量のRAMとを備えた構造あるいはアセンブリ29を備えており、マトリクス部から外部のRAM 2に出力されるアドレスは調停回路25を経て外部のRAM 2に供給される。そして、小容量のRAMの入出力を制御するアドレス発生機構はデータフローを再構成可能なマトリクス部で実現されているので、キャッシュメモリとして機能する小容量のRAMを制御するアーキテクチャも再構成可能であり、マトリクス部で実行されるソフトウェアに最適な構成に変更することができる。したがって、本発明の集積回路装置あるいは処理装置となるシステムLSI 10では、実行されるソフトウェアの処理内容やハードウェア環境に応じて、小容量のRAMをキャッシュメモリとして最も効率良く利用することができる。そして、種々のソフトウェアを実行する際に、高いヒット率が得られるようにキャッシュメモリおよびそれを制御する回路を構成でき、キャッシュメモリの入出力がソフトウェアを実行する際のオーバーヘッドとならないシステムLSIあるいはASICといった集積回路装置あるいは処理装置を提供することができる。

また、システムLSI 10で制御可能な外部メモリ、すなわち、第2のメモリはRAMに限定されるものではない。入力RAMあるいは出力RAMに対して外部メモリとなるものは、RAMやROM、さらにはハードディスク装置のような記録装置に限定されることはなく、アドレスを指定することによりデータを入出力可能なデバイスは全て含まれる。たとえば、図9に示したように、LSI 10が大容量RAM 2とプリンタやディスプレイなどの周辺デバイス3を外部メモリとして制御する場合は、マトリクス部28のブロックロードするエレメントBL

A 3 0 a および B S A 3 0 h において、周辺デバイス 3 に割り当てられた物理アドレスを発生すれば良い。

また、図 1 0 に示したように、L S I 1 0 が複数のバスコントローラを経て複数の大容量 R A M 2 および周辺デバイス 3 を制御する場合は、調停回路 2 5 を多  
5 重化するなどの変形も可能である。さらに、大容量 R A M 2 を L I S 1 0 の内部に搭載することも可能であり、その大容量 R A M 2 を周辺デバイス 3 に対するキャッシュメモリとして利用するような構成も可能である。また、大容量 R A M 2 をプロセッサ部 1 1 のコード R A M として利用することも可能である。

また、上述したマトリクス部 2 8 の構成は例示であり、これに限定されるもの  
10 ではない。演算を行う特定の内部データパス 3 2 を上述したエレメントはアドレス発生、算術演算、論理演算、乗算、遅延などの特定の処理に適したデータパスを備えているものの例であり、データパスの機能や、構成は本例に限定されるものではない。本発明の集積回路装置またはデータ処理装置である L S I 1 0 で実行されるアプリケーションに適した機能のデータパスを備えたエレメントをマト  
15 リクスあるいはアレイ状に配置することにより、データフローを変更あるいは再構成できる処理ユニットを提供することができる。また、マトリクス部 2 8 は複数であっても良く、複数のマトリクス部を平面的に配置したり、立体的に配置することにより、さらに多数のエレメントを備えた集積回路装置を構築することが可能である。また、本発明の集積回路装置は、電子回路に限定されることなく、  
20 光回路あるいは光電子回路にも適用できるものである。

さらに、上記では、A A P 2 0、基本プロセッサ 1 1 およびバス制御ユニット 1 5 を組み込んでシステム L S I 1 0 として提供する例により本発明を説明しているが、どの範囲を 1 つのチップとして提供するか実装するアプリケーションなどの条件により異なる。A A P 2 0 を 1 つのチップとして提供することも可能で  
25 あるし、キャッシュとなる R A M 2 6 および 2 7 とマトリクス部 2 8 を含めた範囲 2 9 をチップ化することも可能である。さらには、基本プロセッサ 1 5 に加えて複数の A A P あるいは他の専用回路などを含めていっそう大きなシステム L S I あるいは A S I C として提供することも可能である。

また、図 1 1 に示すように、F P G A をマトリクス部 2 8 に代わる処理ユニッ

トとし、本発明のデータ処理区画に加え、入力RAM 26および出力RAM 27をキャッシュとして機能させる本発明の第1および第2のアドレス出力区画をプログラミングあるいはマッピングすることにより、本発明の集積回路装置または処理装置を実現することも可能である。FPGAは、トランジスタレベルで汎用性を備えたデータパス構造を変更可能なアーキテクチャである。さらに、トランジスタレベルではないが、単一的な構成要素を備え、命令セットにより種々の処理を行う中規模な単一構成の基本機能ユニットを用いてデータパス構造またはデータフローを変更可能とした集積回路装置も検討されている。そのようなアーキテクチャで構成された処理ユニットに対しても、データ処理区画に加え、入力RAM 26および出力RAM 27をキャッシュとして機能させる本発明の第1および第2のアドレス出力区画を構成する、あるいは構成するように指示することにより、本発明の集積回路装置または処理装置を実現できる。

しかしながら、これらの単一構成の基本ユニットを並べたアーキテクチャと異なり、上述したマトリクス部に基づくアーキテクチャは、複数種類の内部データパスの異なるエレメントを備えたものである。したがって、トランジスタレベルの汎用性を要求するアーキテクチャではないので、実装密度も向上でき、コンパクトで経済的なシステムを提供できる。そして、各々のエレメント30が特定のデータ処理に特化したデータパス部32を備えているので、冗長な構成を極力削減することができ、FPGAや他の単一構成の基本機能ユニットを並べた処理ユニットに比べて大幅に処理速度を高速化でき、AC特性も向上できる。また、スペース効率も高くなるので、コンパクトなレイアウトを採用し、配線長も短くできる。したがって、本発明で開示している効率の良いキャッシュ構造を、確実に活かせる集積回路装置および処理装置には最適であり、高速処理が可能な処理装置を低コストで提供できる。

さらに、トランジスタレベルで回路をマッピングするFPGAと異なり、予め特定の処理に適したデータパス部32を備えたエレメント30の組み合わせを変えるので、短時間で、ほとんど1クロックでデータ処理ユニット、すなわちマトリクス部28に構成されるデータ処理系列の構成や機能を変更することができるというメリットもある。さらに、各々のエレメント30では、データパス部32

を構成するセレクタやALUなどの論理ゲートの機能もコンフィグレーションメモリ39を介してプロセッサ11によって独立してセットすることが可能であり、各エレメント30のデータパス部32がサービスする機能の範囲内でフレキシブルに変更することができる。このため、本例のマトリクス部28でデータフロー  
5 型のデータ処理で実行可能な機能の範囲は非常に広い。また、ネットワーク処理や、画像処理などのLSI10が用いられるアプリケーションに適した種類の演算ユニット30を選択し、配列することが可能であり、さらに実装効率が良く、実行速度の速い集積回路装置を提供することが可能である。

以上に説明したように、本発明は、キャッシュメモリとして使用できる第1の  
10 メモリを制御する第1のアドレス出力区画および第2のアドレス出力区画とデータフローを変更可能な処理ユニットに形成している。このため、キャッシュシステムの構成を、データ処理区画の構成と、そこで実行されるソフトウェアに最適な構成に動的に変更でき、種々のソフトウェアを実行する際に、高いヒット率が  
15 るいはアプリケーションをさらに短い処理時間で実行することができる集積回路装置を提供できる。

#### 産業上の利用可能性

本発明の処理ユニットおよび集積回路装置は、様々なデータ処理を実行可能な  
20 システムLSIあるいはASICなどとして提供することが可能である。また、本発明の処理ユニットおよび集積回路装置は、電子回路に限定されることはなく、光回路あるいは光電子回路にも適用できるものである。本発明の集積回路装置は、再構成可能なハードウェアによりデータ処理を高速に実行できるので、ネット  
25 ワーク処理や、画像処理などの高速性およびリアルタイム性が要求されるデータ処理装置に好適なものである。

## 請 求 の 範 囲

1. 第2のメモリとの間でデータを入力および／または出力可能な第1のメモリと、
- 5 少なくとも1つのデータフローが形成され、その少なくとも1つのデータフローの少なくとも1部を変更可能な処理ユニットとを有し、  
この処理ユニットは、前記第1のメモリとの間で入力および／または出力されるデータを処理するデータ処理区画と、  
前記第1のメモリと前記データ処理区画との間で入力および／または出力されるデータの第1のアドレスを出力する第1のアドレス出力区画と、  
10 前記第2のメモリと前記第1のメモリとの間で入力および／または出力されるデータの第2のアドレスを出力する第2のアドレス出力区画と、を備えている集積回路装置。
- 15 2. 前記第1のアドレスは前記第1のメモリのアドレスであり、前記第2のアドレスは前記第2のメモリのアドレスである、請求項1の集積回路装置。
3. 前記第2のアドレス出力区画は、前記データ処理区画および／または前記第1のアドレス出力区画とは独立して動作可能である、請求項1の集積回路装置。
- 20 4. 前記第1のメモリは独立に入出力可能な複数の格納区画を備えている、請求項1の集積回路装置。
5. 前記第1のメモリは、前記データ処理区画に入力されるデータを格納する第1の入力メモリと、前記データ処理区画から出力されたデータを格納する第1  
25 の出力メモリとを備えている、請求項1の集積回路装置。
6. 前記第1のメモリと前記データ処理区画との間の入力および／または出力を管理する第1の調停ユニットを有する、請求項1の集積回路装置。

7. 前記第1の調停ユニットは、前記データ処理区画との間の入力または出力の条件を満たさない場合にストップ信号を前記データ処理区画に出力する機能を備えている、請求項6の集積回路装置。

5

8. 前記データ処理区画は、前記ストップ信号により、当該データ処理区画に形成された少なくとも1つのデータフローの処理を停止する機能を備えている、請求項7の集積回路装置。

- 10 9. 前記第1のメモリは、前記データ処理区画に入力されるデータを格納する第1の入力メモリと、前記データ処理区画から出力されたデータを格納する第1の出力メモリとを備えており、

前記第1の調停ユニットは、前記第1の入力メモリから前記データ処理区画へのデータの転送を管理する第1の入力調停ユニットと、前記データ処理区画から  
15 前記第1の出力メモリへのデータの転送を管理する第1の出力調停ユニットとを備えている、請求項6の集積回路装置。

10. 前記第1のメモリは独立に入出力可能な複数の格納区画を備えており、  
前記第1の調停ユニットは、前記複数の格納区画のそれぞれを独立して管理す  
20 る機能を備えている、請求項6の集積回路装置。

11. 前記第1のメモリは独立に入出力可能な複数の格納区画を備えており、  
前記第1の調停ユニットは、前記複数の格納区画を関連付けして管理する機能を備えている、請求項6の集積回路装置。

25

12. 前記データ処理区画には複数のデータフローを構成可能であり、さらに複数の前記第1のメモリを有し、  
前記処理ユニットには、各々の前記第1のメモリに対応する前記第1および第2のアドレス出力区画が形成される、請求項1の集積回路装置。



13. 前記第2のメモリと前記複数の第1のメモリとの間の入出力を管理する第2の調停ユニットを有し、前記第2のアドレスは前記第2の調停ユニットに供給される、請求項12の集積回路装置。

5

14. 前記処理ユニットは、機能を変更可能な複数の単一種類の論理要素と、これらの論理要素を接続する配線群とを備えている、請求項1の集積回路装置。

15. 前記処理ユニットは、それぞれ異なる特定の処理に適した内部データパスを備えた複数種類の専用処理要素と、これらの専用処理要素を接続する配線群とを備えている、請求項1の集積回路装置。

10

16. 前記処理ユニットは、アドレスを出力するのに適した前記内部データパスを備えた前記専用処理要素を備えている、請求項15の集積回路装置。

15

17. 前記専用処理要素は、前記内部データパスの一部を選択する手段と、前記内部データパスの選択を記憶するコンフィグレーションメモリとを備えている、請求項15の集積回路装置。

20

18. 前記コンフィグレーションメモリの内容を書き換える制御ユニットを有する、請求項17の集積回路装置。

19. 前記処理ユニットのデータフローの少なくとも1部の変更を指示する制御ユニットを有する、請求項1の集積回路装置。

25

20. 前記制御ユニットは、前記データ処理区画、第1のアドレス出力区画、または前記第2のアドレス出力区画のデータフローの変更を独立に指示可能である、請求項19の集積回路装置。

2 1. 前記制御ユニットを制御するプログラムコードを記憶するコードメモリを有する、請求項 1 9 の集積回路装置。

2 2. 前記第 2 のメモリを有し、この第 2 のメモリは、第 3 のメモリとの間で  
5 データを入力および／または出力可能であり、

前記第 3 のメモリと前記第 2 のメモリとの間で入力および／または出力されるデータの第 3 のアドレスを出力する第 3 のアドレス出力手段を有する、請求項 1 の集積回路装置。

10 2 3. 第 2 のメモリとの間でデータを入力および／または出力可能な第 1 のメモリと、

この第 1 のメモリとの間で入力および／または出力されるデータを処理する少なくとも 1 つのデータフローが形成される処理ユニットと、

前記第 1 のメモリと前記処理ユニットとの間の入力および／または出力を管理  
15 する第 1 の調停ユニットを有し、

前記第 1 の調停ユニットは、前記データ処理区画との間の入力または出力の条件を満たさない場合にストップ信号を前記データ処理区画に出力する機能を備え、

前記処理ユニットは、前記ストップ信号により、前記少なくとも 1 つのデータフローの処理を停止する機能を備えている、集積回路装置。

20

2 4. 前記処理ユニットは、前記少なくとも 1 つのデータフローの少なくとも 1 部を変更可能である、請求項 2 3 の集積回路装置。

2 5. 前記第 1 のメモリは、前記処理ユニットに入力されるデータを格納する  
25 第 1 の入力メモリと、前記処理ユニットから出力されたデータを格納する第 1 の出力メモリとを備えており、

前記第 1 の調停ユニットは、前記第 1 の入力メモリから前記処理ユニットへのデータの転送を管理する第 1 の入力調停ユニットと、前記処理ユニットから前記第 1 の出力メモリへのデータの転送を管理する第 1 の出力調停ユニットとを備え

ている、請求項 23 の集積回路装置。

26. 前記第 1 のメモリは独立に入出力可能な複数の格納区画を備えており、  
前記第 1 の調停ユニットは、前記複数の格納区画のそれぞれを独立して管理する機能を備えている、請求項 23 の集積回路装置。

27. 前記第 1 のメモリは独立に入出力可能な複数の格納区画を備えており、  
前記第 1 の調停ユニットは、前記複数の格納区画を関連付けして管理する機能を備えている、請求項 23 の集積回路装置。

10

28. 少なくとも 1 つのデータフローが形成され、その少なくとも 1 つのデータフローの少なくとも 1 部を変更可能な処理ユニットであって、  
第 2 のメモリとの間でデータを入力および／または出力可能な第 1 のメモリとの間で入力および／または出力されるデータを処理するデータ処理区画と、

- 15 前記第 1 のメモリと前記データ処理区画との間で入力および／または出力されるデータの第 1 のアドレスを出力する第 1 のアドレス出力区画と、  
前記第 2 のメモリと前記第 1 のメモリとの間で入力および／または出力されるデータの第 2 のアドレスを出力する第 2 のアドレス出力区画と、を有する処理ユニット。

20

29. 前記第 2 のアドレス出力区画は、前記データ処理区画および／または前記第 1 のアドレス出力区画とは独立して動作可能である、請求項 28 の処理ユニット。

- 25 30. 前記データ処理区画には複数のデータフローを構成可能であり、さらに複数の前記第 1 のメモリの各々に対応する前記第 1 および第 2 のアドレス出力区画を備えている、請求項 28 の処理ユニット。

3 1. それぞれ異なる特定の処理に適した内部データパスを備えた複数種類の専用処理要素と、これらの専用処理要素を接続する配線群とを有する、請求項 2 の処理ユニット。

5 3 2. アドレスを出力するのに適した前記内部データパスを備えた前記専用処理要素を有する、請求項 3 1 の処理ユニット。

3 3. 請求項 3 1 に記載の処理ユニットと、  
前記第 1 のメモリとを有する処理装置。

10

3 4. 前記処理ユニットのデータフローの少なくとも 1 部の変更を指示する制御ユニットをさらに有する、請求項 3 3 の処理装置。

3 5. 第 2 のメモリとの間でデータを入力および／または出力可能な第 1 のメモリと、少なくとも 1 つのデータフローが形成され、その少なくとも 1 つのデータフローの少なくとも 1 部を変更可能な処理ユニットとを有する集積回路装置の制御方法であって、

15 前記処理ユニットに対し、前記第 1 のメモリとの間で入力および／または出力されるデータを処理するデータ処理区画と、前記第 1 のメモリと前記データ処理区画との間で入力および／または出力されるデータの第 1 のアドレスを出力する第 1 のアドレス出力区画と、前記第 2 のメモリと前記第 1 のメモリとの間で入力および／または出力されるデータの第 2 のアドレスを出力する第 2 のアドレス出力区画とを構成するように指示する工程を有する集積回路装置の制御方法。

25 3 6. 前記指示する工程は、前記データ処理区画、前記第 1 のアドレス出力区画、または、第 2 のアドレス出力区画のデータフローの変更を独立して指示する工程を備えている、請求項 3 5 の制御方法。

3 7. 前記指示する工程では、第 2 のアドレス出力区画が、前記データ処理区

画および／または前記第 1 のアドレス出力区画とは独立して動作するように指示する、請求項 3 5 の制御方法。

- 3 8. 前記データ処理区画には複数のデータフローを構成可能であり、さらに  
5 前記指示する工程では、複数の前記第 1 のメモリの各々に対応する前記第 1 および第 2 のアドレス出力区画を形成するように指示する、請求項 3 5 の制御方法。

- 3 9. 前記データ処理区画に少なくとも 1 つのデータフローを形成し、前記第 1 のメモリと入力および／または出力するデータに関連する処理を実行する工程  
10 を有し、この実行する工程では、前記第 1 のメモリと前記データ処理区画との間の入力および／または出力を管理する第 1 の調停ユニットが入力または出力の条件を満たさない場合に出力するストップ信号により、当該データ区画に形成された少なくとも 1 つのデータフローの処理を停止する、請求項 3 5 の制御方法。

- 15 4 0. 第 2 のメモリとの間でデータを入力および／または出力可能な第 1 のメモリと、この第 1 のメモリとの間で入力および／または出力されるデータを処理する少なくとも 1 つのデータフローが形成される処理ユニットとを有する集積回路装置の制御方法であって、

- 20 前記第 1 のメモリと入力および／または出力するデータに関連する処理を実行する工程を有し、この実行する工程では、前記第 1 のメモリと前記処理ユニットとの間の入力および／または出力を管理する第 1 の調停ユニットが入力または出力の条件を満たさない場合に出力するストップ信号により、前記少なくとも 1 つのデータフローの処理を停止する、集積回路装置の制御方法。

1 / 7

図 1

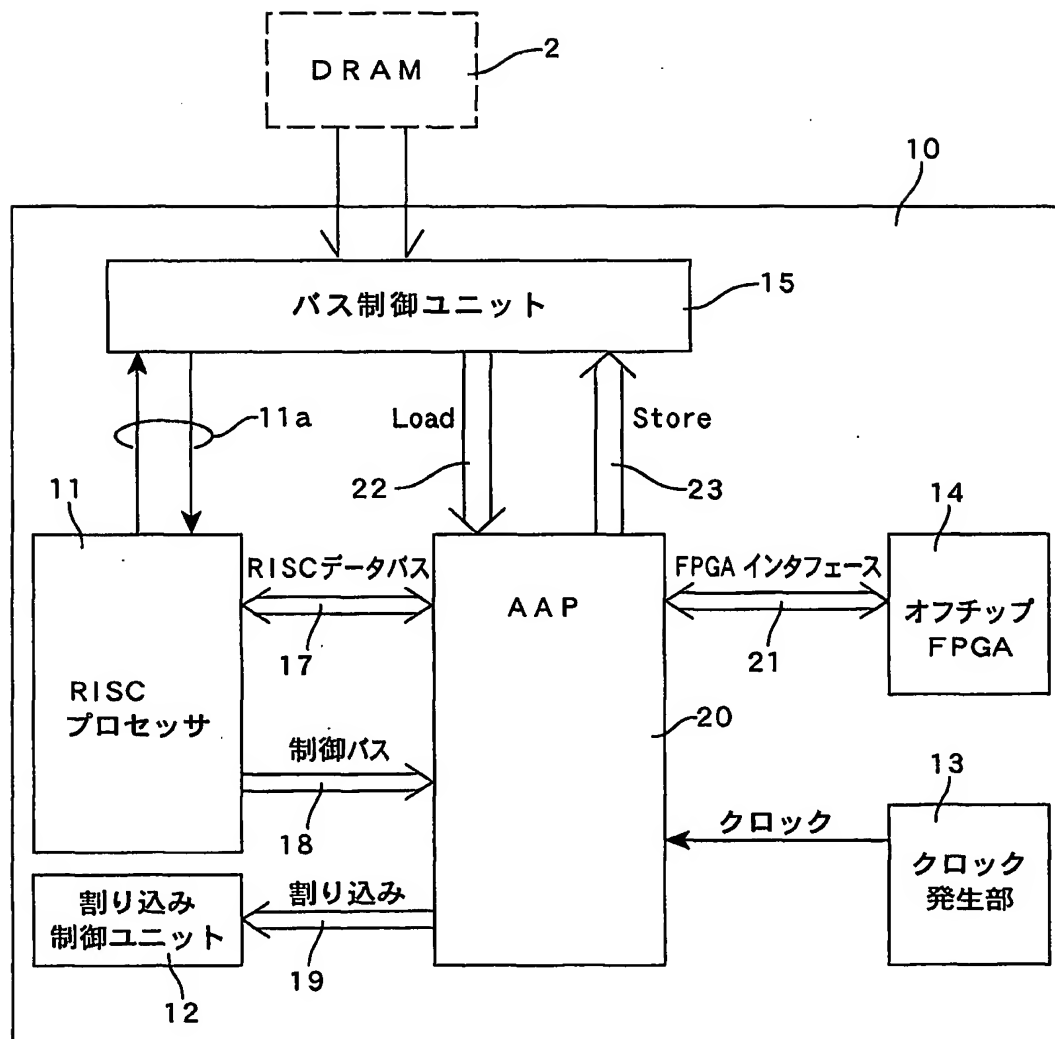
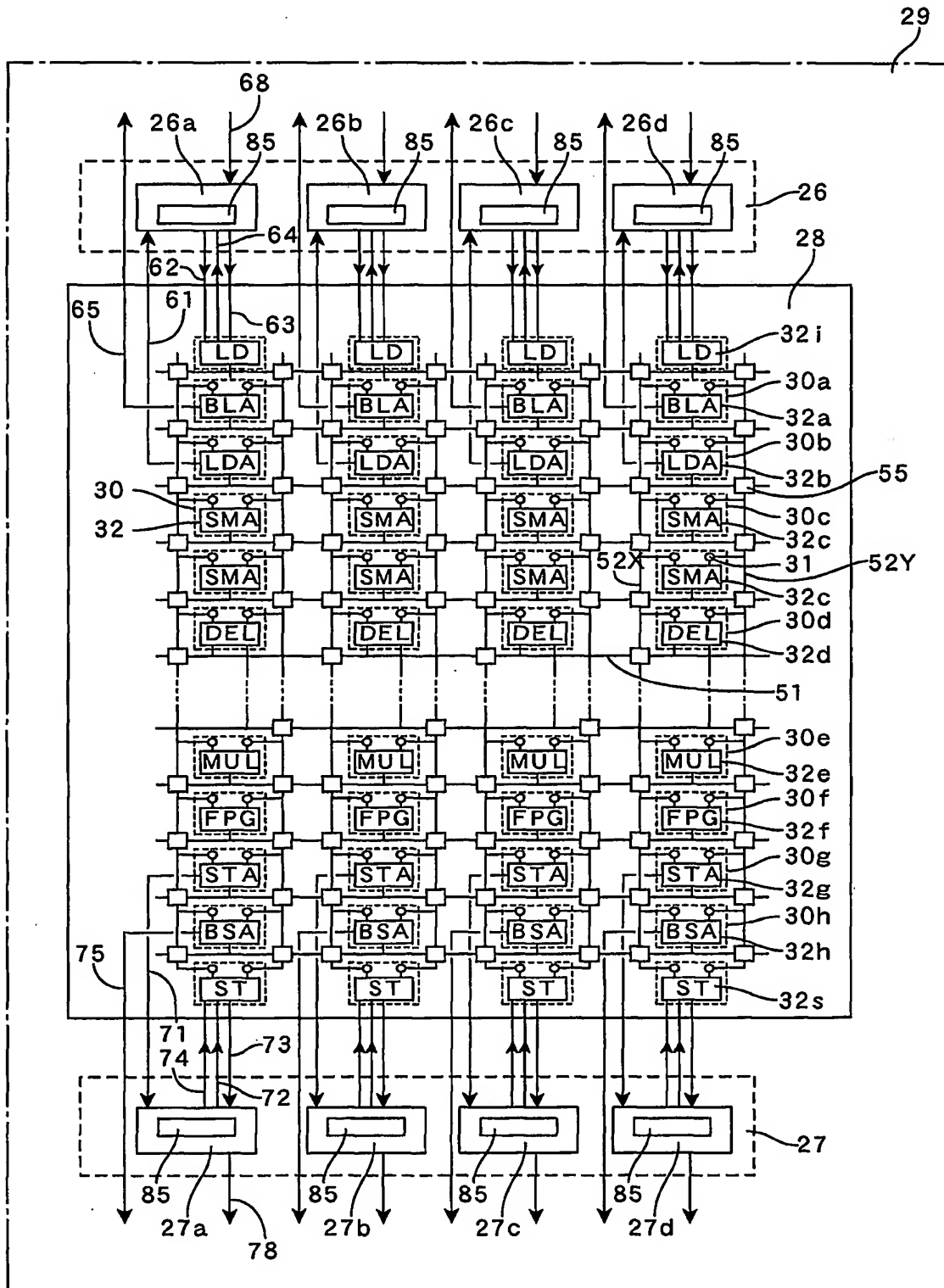




図 3





4 / 7

図 4

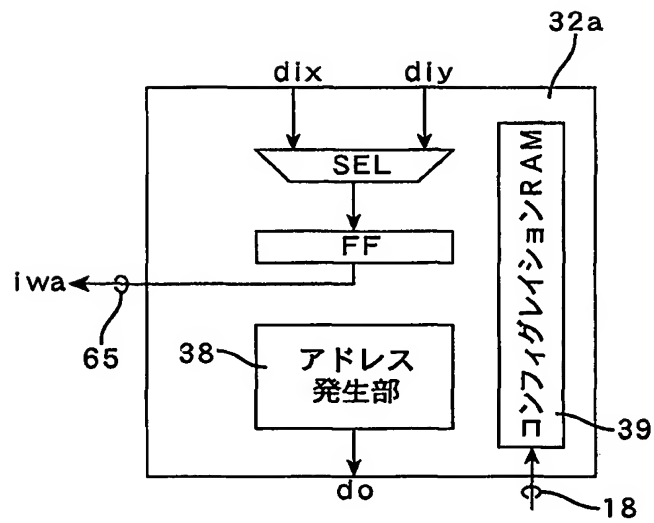
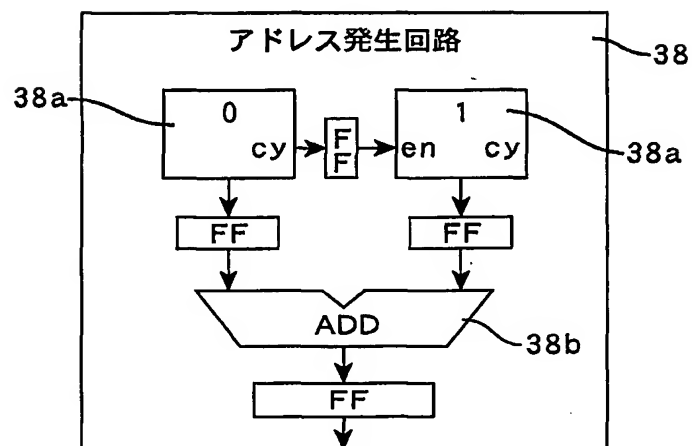


図 5



5 / 7

図 6

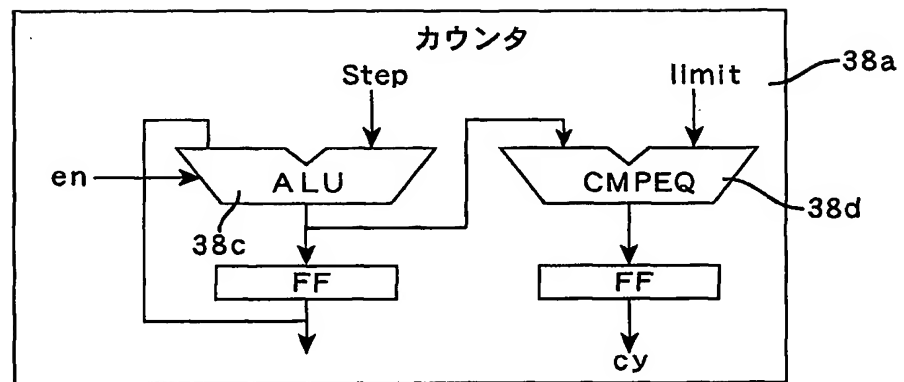
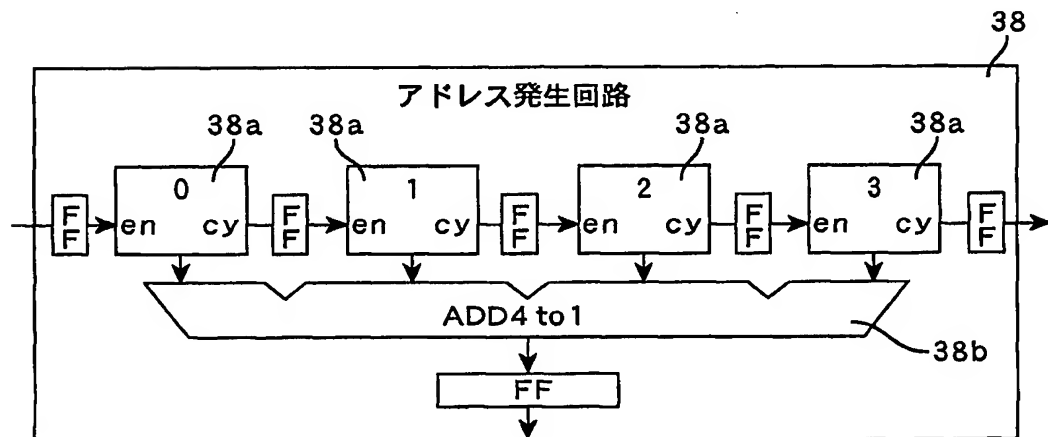


図 7



6 / 7

図 8

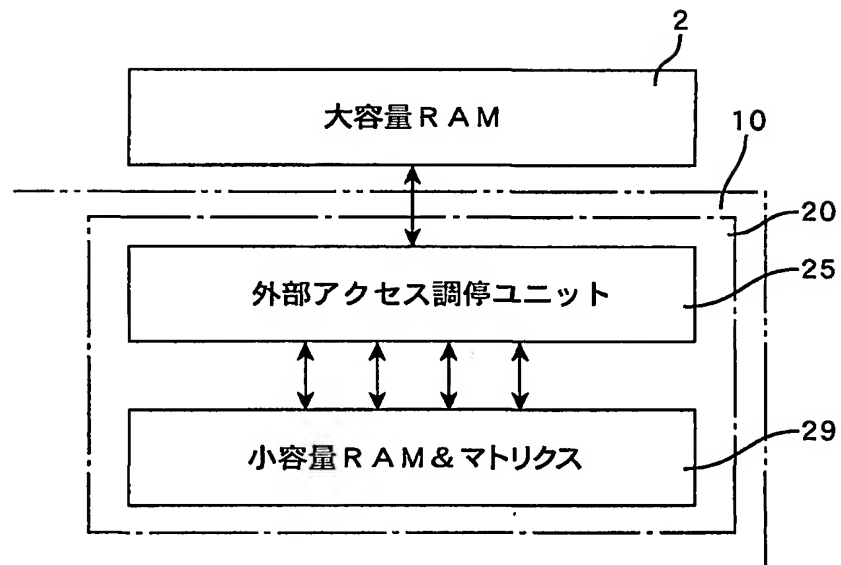
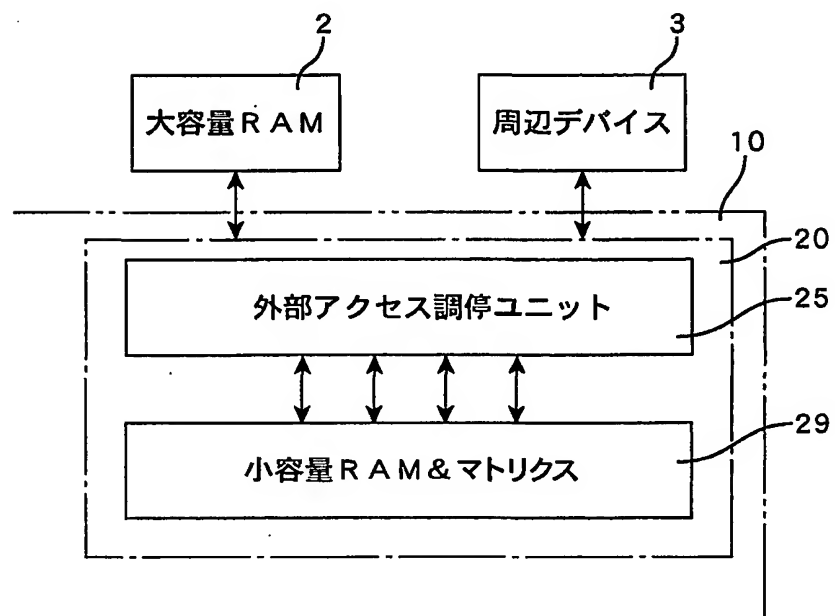


図 9



7 / 7

図 1 0

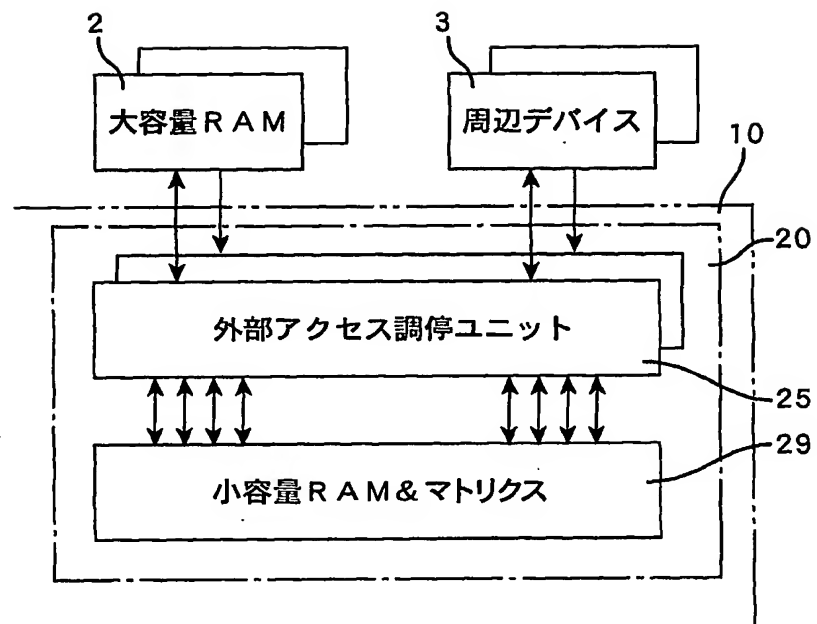
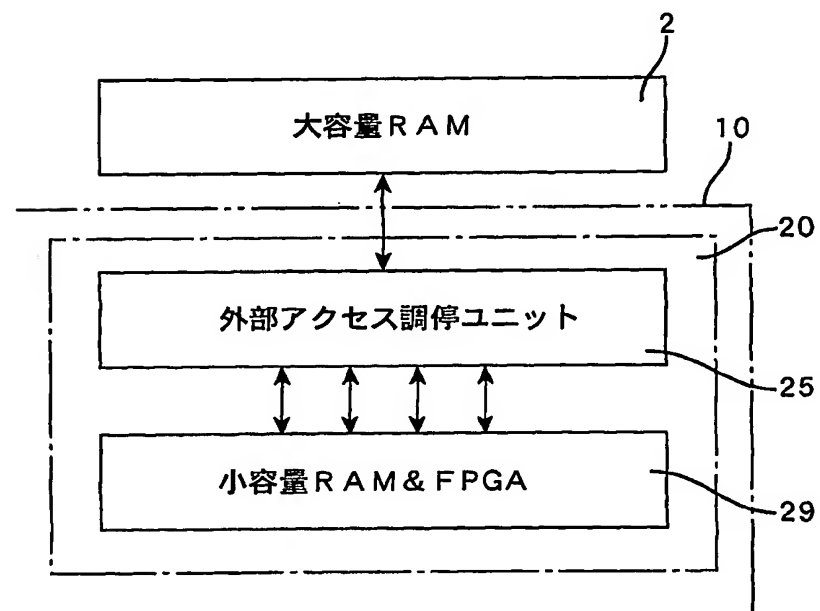


図 1 1



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07076

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G06F12/08, 15/16, 15/78

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F12/08, 15/16, 15/78, H03K19/173, 19/177

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 64-9548 A (NEC Corp.), 12 January, 1989 (12.01.89), Full text; all drawings (Family: none)	1-40
Y	JP 1-273132 A (NEC Corp.), 01 November, 1989 (01.11.89), Full text; all drawings (Family: none)	1-40
Y	JP 11-143774 A (Hitachi, Ltd.), 28 May, 1999 (28.05.99), Full text; all drawings (Family: none)	1-40

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;"

document member of the same patent family

Date of the actual completion of the international search

11 October, 2002 (11.10.02)

Date of mailing of the international search report

29 October, 2002 (29.10.02)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07076

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, Y	JP 2002-163150 A (Toshiba Corp.), 07 June, 2002 (07.06.02), Full text; all drawings (Family: none).	1-40
E, A	COMPTON, K., Reconfigurable Computing: A Survey of Systems and Software. ACM Computing Surveys. June 2002, Vol.34, No.2, pages 171 to 210	1-40
A	KIM, H.S. et al., A Reconfigurable Multi-function Computing Cache Architecture. Proceedings of ACM/ SIGDA International Symposium on Field Programmable Gate Arrays. 2000, pages 85 and 94	1-40
A	RANGANATHAN, P. et al., Reconfigurable Caches and their Application to Media Processing. Proceedings of the 27th International Symposium on Computer Architecture (ISCA-27). June 2000, pages 214 and 224	1-40

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl<sup>7</sup> G06F12/08, 15/16, 15/78

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl<sup>7</sup> G06F12/08, 15/16, 15/78  
H03K19/173, 19/177

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 64-9548 A(日本電気株式会社) 1989. 01. 12, 全文, 全図(ファミリーなし)	1-40
Y	JP 1-273132 A(日本電気株式会社) 1989. 11. 01, 全文, 全図(ファミリーなし)	1-40
Y	JP 11-143774 A(株式会社日立製作所) 1999. 05. 28, 全文, 全図(ファミリーなし)	1-40

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に関する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

11. 10. 02

国際調査報告の発送日

29.10.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

相崎 裕恒

5N

9290

電話番号 03-3581-1101 内線 3545

様式PCT/ISA/210 (第2ページの続き) (1998年7月)